

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PAT-NO: JP409191076A

DOCUMENT-IDENTIFIER: JP 09191076 A

TITLE: MEMORY MODULE

PUBN-DATE: July 22, 1997

INVENTOR-INFORMATION:

NAME

KANNO, TOSHIO

TSUKUI, SEIICHIRO

SAKAI, OSAMU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI TOBU SEMICONDUCTOR LTD

N/A

APPL-NO: JP09012574

APPL-DATE: January 27, 1997

INT-CL (IPC): H01L025/04, H01L025/18 , G11C005/00 , G11C029/00 , H05K001/11

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the failure recovery technology by a method wherein terminal electrodes are arranged on a wiring board so as to be able to replace a failed memory among a plurality of memories with a normally operating redundancy memory by SMT-type electrical continuity units.

SOLUTION: When a DRAM 18 is failed, a redundancy DRAM 33 which performs the normal circuit operation is mounted on a DRAM mounting region. Lands 12i and 12p and lands 12k and 12m in respective mounting regions A1, A2 and A3 are electrically connected to each other by jumper chips 4 and, further, lands 12k and 12q in the mounting region A4 are electrically connected to each other by a jumper chip 4. The failed DRAM 18 is electrically independent from a module 1e and, instead, the redundancy DRAM 33 is electrically connected to the circuit system of the memory module 1e. With this constitution, the failure recovery technology of a memory module can be improved.

COPYRIGHT: (C)1997,JPO

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Concerning the semiconductor device technique which used a wiring substrate and this, this invention is applied to a memory module and relates to an effective technique.

[0002]

[Description of the Prior Art] When manufacturing semiconductor devices, such as a memory module, it was common to have created the wiring substrate which constitutes it according to an individual according to the application and the object of the module.

[0003] In addition, about the module which comes to mount electronic parts on a wiring substrate, JP,62-195159,A has a publication, for example, and the technique which raises the bonding strength of the module terminal joined to the wiring substrate is explained to this official report.

[0004]

[Problem(s) to be Solved by the Invention] By the way, in a memory module, when the predetermined memory on a wiring substrate breaks down, the broken memory is removed and new memory is mounted in the removed location.

[0005] However, this invention person found out that there were the following troubles in the defective relief technique of such a memory module.

[0006] That is, since the packaging density of the memory carried on a wiring substrate improves and spacing between memory is very narrow in recent years, as a result of the case where breakage is done to wiring and a wiring substrate on the occasion of removal of the broken memory arising, while defective relief is difficult, there is a problem of causing the dependability of a memory module and lowering of the yield.

[0007] The object of this invention is to offer the technique which can raise the defective relief technique of a memory module.

[0008] The other objects and the new description will become clear from description and the accompanying drawing of this description along [said] this invention.

[0009]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0010] The memory module of this invention carries at least two or more memory on a wiring substrate side. It is the memory module which is equipped with wiring which connects the carried memory comrade electrically, and is equipped with two or more external terminals arranged on said wiring substrate side for the electric connection with an external device. A terminal electrode is prepared on said wiring substrate side so that it may be possible to exchange the memory in which it broke down of said at least two or more memory for the memory for redundancy which operates normally with the flow means of a surface mounting form.

[0011]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing (the same sign is given to what has the same function in the complete diagram for explaining the gestalt of operation in addition, and explanation of the repeat is omitted).

[0012] The top view showing the principal plane of the wiring substrate whose drawing 1 is the gestalt of 1 operation of this invention, (Gestalt 1 of operation) Drawing 2 (a) The important section top view of the wiring substrate in which the mounting condition of the - (c) flow-means according to access time is shown, Drawing 3 (a) Drawing showing the structure of a jumper chip where the top view of each wiring layer where - (d) constitutes this wiring substrate, drawing 4 (a), and (b) are flow means, and drawing 5 are the top views

showing the principal plane of a memory module which used this wiring substrate.

[0013] Memory module 1a of the gestalt 1 of this operation shown in drawing 5 is the dynamic RAM (DRAM) module of access time 100ns [for example,] 256Kx36 bit pattern. In addition, access time is RAS (Row Address Strobe). It is the case where it is based on a signal.

[0014] Although are arranged by the principal plane of wiring substrate 2a which constitutes memory module 1a and it is not illustrated at the underside side of semiconductor memory 3a and 3b and these semiconductor memory 3a and 3b of two kinds of size which is electronic parts, the bypass capacitor which is similarly electronic parts, and the jumper chip 4 which is a flow means are mounted.

[0015] Moreover, 72 module terminals (external terminal) 5 are arranged along with the longitudinal direction of wiring substrate 2a at one side of the long side of wiring substrate 2a. In addition, spacing of the adjacent module terminals 5 and 5 of the width of face of each module terminal 5 is about 1.27mm about 1.04mm.

[0016] In the gestalt 1 of this operation, the 69 or 70th module terminals 5a and 5b consist of left as a module terminal for the functional discernment for identifying access time among the above-mentioned module terminals 5.

[0017] For example arrange eight pieces to the longitudinal direction of wiring substrate 2a, and it is mounted in it, and constitute this, for example, the above-mentioned large-sized semiconductor memory 3a is SOJ (Small OutlineJ-lead). The DRAM chip (not shown) of 256Kx4 bit pattern is held in the interior of a formal package.

[0018] Moreover, two pieces are mounted at a time in the wiring substrate 2a page ends side, respectively, and constitute this, for example, small semiconductor memory 3b is PLCC (Plastic Leaded Chip Carrier). The DRAM chip (not shown) of 256x1 bit pattern is held in the interior of a formal package.

[0019] In addition, spacing between the lead terminals of semiconductor memory 3a and 3a and between the lead terminals of semiconductor memory 3a and 3b is about 0.2mm.

[0020] It is a 0.2-micro F ceramic condenser, and the bypass capacitor which is not illustrated is electrically connected from a viewpoint which prevents a noise etc. between each supply voltage (Vcc) terminal of semiconductor memory 3a and 3b, and the GND terminal.

[0021] The jumper chip 4 used for the gestalt 1 of this operation is shown in drawing 4 (a) and (b). Drawing 4 (b) is a sectional view which meets the X-X' line of drawing 4 (a). Printing formation of the first electrode 7c to which the jumper chip 4 becomes the ends of the body substrate 6 of a chip which consists of a ceramic from a conductive metal (for example, palladium silver system thick film) is carried out. moreover -- a conductor -- printing formation is carried out and 8a (for example, silver) is connected electrically. And cover glass 8b is formed on the conductor. Furthermore, on said first electrode 7c, second electrode 7b (for example, nickel, Hitoshi Handa) and external electrode 7a (for example, tin-lead, Hitoshi Handa) are plated.

[0022] The above-mentioned wiring substrate 2a has four-layer wiring structure, as it consists for example, of a glass epoxy resin and is shown in drawing 3 (a) - (d). After such formation of multilayer-interconnection substrate 2a sticks copper foil by pressure all over the plate-like part material which consists of a glass epoxy resin first, it forms the inner layer pattern 9 by etching processing, and carries out the laminating press of the plate-like part material. Next, after forming a drill or the through hole 10 which flows through between multilayer-interconnection layers by punch processing, it is obtained by [of through hole plating and a front face] carrying out pattern formation.

[0023] The inner layer pattern 9 is mainly formed in the wiring layer by the side of the principal plane of wiring substrate 2a, and a rear face (drawing 3 (a)) (drawing 3 (d)) as mentioned above.

[0024] Moreover, one layer in inside two-layer [of wiring substrate 2a] (drawing 3 (b), (c)) has become from a viewpoint which prevents a noise etc. only for GND wiring, and other one layer is used as much as possible for Vcc wiring.

[0025] And as shown in drawing 1 , two or more land 11b which mounts the bypass capacitor which two or more land 11a which mounts the above-mentioned semiconductor memory 3a and 3b in the principal plane of wiring substrate 2a is arranged so that it may correspond to the lead terminal of each semiconductor memory 3a and 3b, and it described above is arranged. In addition, land 11a is electrically connected with the module terminal 5 through the above-mentioned inner layer pattern 9 (drawing 3 (a), (d)) etc.

[0026] Moreover, in the gestalt 1 of this operation, the principal plane right-hand side of wiring substrate 2a, the lands 12a and 12b of two or more land 11a which mounts small semiconductor memory 3b which carry out mutually-independent caudad, and the lands 12c and 12d which similarly carry out mutually-independent are arranged.

[0027] It connects with the module terminals 5a and 5b land 12a and whose land 12c are the electrodes for

identifying access time through wiring 13 and 14, respectively electrically, respectively. Moreover, it connects with the GND electrode and the electric target through the through hole 10 land 12b and land 12d. In addition, the dimension of wiring substrate 2a is about 25.4x108mm.

[0028] By the way, as a terminal for [two] predetermined access time discernment of the module terminal of a memory module, in order to have identified access time conventionally, when these terminals determined beforehand like 120ns for 100ns for 85ns at the time of GND potential at the time of NC and GND potential, it was carrying out at both the times of both of NC.

[0029] Therefore, in order to change only wiring for a module terminal area for discernment whenever access time is changed among 85ns - 120ns even if the circuitry of a memory module is the same conventionally, a different separate wiring substrate had to be created.

[0030] However, in wiring substrate 2a of the gestalt 1 of this operation, as shown in drawing 2 (a), module terminal 5b can be made into GND potential by mounting the jumper chip 4 with solder between land 12c and land 12d, and making it flow through for these lands 12c and 12d.

[0031] Therefore, since the module terminals 5a and 5b can be made into NC and GND potential, an access time 85ns memory module can be made to correspond according to drawing 2 (a).

[0032] Moreover, since wiring substrate 2a makes it flow between land 12a and 12b and through for land 12c and 12d and can make GND potential both the module terminals 5a and 5b by mounting of the jumper chips 4 and 4 as shown in drawing 2 (b), it can be made to correspond to access time 100ns memory module 1a as circuitry.

[0033] Furthermore, since wiring substrate 2a can set the module terminals 5a and 5b to NC by not mounting the jumper chip 4 as shown in drawing 2 (c), it can make an access time 120ns memory module correspond.

[0034] That is, wiring substrate 2a of the gestalt 1 of this operation can respond to modification of three kinds of access time described above by the same wiring substrate 2a by detaching and attaching a jumper chip selectively.

[0035] Thus, according to the gestalt of this operation, since it can respond to this by alternative attachment and detachment of the jumper chip 4 even if the access time of memory module 1a is the case where it is changed variously, wiring substrate 2a can be standardized.

[0036] For this reason, when the production time of memory module 1a can be shortened substantially, that design cost, a manufacturing cost, etc. can be reduced, and memory module 1a can be offered cheaply.

[0037] (Gestalt 2 of operation) The top view showing the principal plane and rear face of the memory module drawing 6 (a) and whose (b) are the gestalten of other operations of this invention, and drawing 7 are the side elevations of the memory module shown in drawing 6 (a) and (b).

[0038] Drawing 6 (a), (b), and memory module 1b of the gestalt 2 of this operation shown in drawing 7 are the DRAM modules of for example, 512Kx36 bit pattern.

[0039] Semiconductor memory 3a and 3b is mounted in the principal plane (drawing 6 (a)) of wiring substrate 2b which constitutes memory module 1b, and the rear face (drawing 6 (b)) like the gestalt 1 of operation.

[0040] In addition, in this memory module 1b, while the semiconductor memory 3a and 3b by the side of the whole surface is operating on the occasion of access of data, on the other hand, the near semiconductor memory 3a and 3b operates, is twisted, and is as like.

[0041] Therefore, the bypass capacitor explained with the gestalt 1 of operation is shared between the semiconductor memory 3a and 3a by the side of the principal plane of wiring substrate 2b, and a rear face, or semiconductor memory 3b and 3b.

[0042] By the way, let the 69 or 70th module terminals 5a and 5b from the left be the terminals for identifying the mounting method of semiconductor memory 3a and 3b among the module terminals 5 in the gestalt 2 of this operation.

[0043] In order to have identified the mounting method conventionally, like the access time explained with the gestalt 1 of operation, two predetermined terminals of a module terminal were used as the terminal for discernment of a mounting method, and these terminals were carrying out piece surface mounting and by deciding beforehand like double-sided mounting at both the times of GND potential at the time of NC and GND potential.

[0044] Therefore, the wiring substrate had to be created from the start only for changing wiring for a module terminal area for discernment, whenever a mounting method is changed conventionally.

[0045] However, it sets to wiring substrate 2b of the gestalt 2 of this operation. As drawing 2 (a) - (c) of the gestalt 1 of operation showed, even after creating wiring substrate 2b, by the method of mounting of the

jumper chip 4 Since the module terminals 5a and 5b can be made into NC and GND potential or can be made into both GND potentials, it can respond to modification of the mounting method which was described above with the same wiring substrate 2b and which is identified.

[0046] Thus, according to the gestalt 2 of this operation, even if the mounting method of semiconductor memory 3a and 3b is changed like piece surface mounting or double-sided mounting, it can respond to it with the same wiring substrate 2b.

[0047] (Gestalt 3 of operation) drawing 8 -- this invention -- further -- others -- operation -- a gestalt -- it is - memory - a module -- circuitry -- being shown -- a circuit -- a block diagram -- drawing 9 -- (-- a --) - (-- c -) -- I/O -- a method -- having responded -- a flow -- a means -- mounting -- a condition -- being shown -- drawing 8 -- having been shown -- wiring -- a substrate -- an important section -- a top view -- it is .

[0048] In order to simplify explanation in the gestalt 3 of this operation, as shown in drawing 8 , four DRAM15-DRAM18 explain memory module 1c as a main component.

[0049] The CAS (Column Address Strobe) signal terminal of each DRAMs 15-18 is electrically connected with module terminal 5c formed in wiring substrate 2c through control signal wiring 19a, and a CAS signal is given from the exterior.

[0050] Moreover, RAS of each DRAMs 15-18 (Row Address Strobe) A signal terminal is electrically connected with 5d of module terminals through control signal wiring 19b, and a RAS signal is given from the exterior.

[0051] Furthermore, WE (Write enable) terminal of each DRAMs 15-18 is electrically connected with module terminal 5e through control signal wiring 19c, and writing of data or control of read-out is performed from the exterior.

[0052] And access of the data of DRAMs 15-18 is controlled by these RAS and the CAS signal, and WE signal.

[0053] Moreover, the address terminal of each DRAMs 15-18 is electrically connected with 5f of module terminals through the address signal wiring 20, and the address of a memory cell is specified from the exterior. In addition, on the occasion of addressing, the address of a row and column is inputted from the 5f of the same module terminals of a predetermined number by the multiplexer method, for example.

[0054] Each DRAMs 15-18 of memory module 1c in the gestalt 3 of this operation are the data input terminal Din and the data output terminal Dout. It has.

[0055] The data input terminal Din is electrically connected with land 12e of the mounting field A (refer to drawing 9) which mounts the jumper chip 4 which connected with 5g of module terminals electrically through the data line 21, and was explained with the gestalten 1 and 2 of operation through wiring 22.

[0056] Moreover, data output terminal Dout It connects with land 12e and land 12f formed independently electrically electrically through wiring 23.

[0057] And it connects with 5h of module terminals electrically through wiring 24 these lands 12e and 12f and land 12g electrically formed in the mounting field A independently.

[0058] Next, drawing 8 and drawing 9 (a) - (c) explains an operation of the gestalt 3 of this operation.

[0059] Drawing 9 shows the condition that the jumper chip 4 explained with the gestalten 1 and 2 of operation is not mounted in the lands 12e-12g in the mounting field A, and is the data output terminal Dout. An open condition and 5h of module terminals are in the condition of NC.

[0060] If it is made to flow through for these lands 12f and 12g here by mounting the jumper chip 4 in Lands 12f and 12g as shown in drawing 9 (b), it is the data output terminal Dout. 5h of module terminals is connected electrically.

[0061] That is, 5h of module terminals turns into a terminal for data output, and 5g of module terminals turns into a terminal for data inputs. Therefore, in each DRAMs 15-18, the I/O (I/O) method of data turns into an I/O separate method.

[0062] On the other hand, if it is made to flow through between these lands 12f and 12e by mounting the jumper chip 4 in Lands 12f and 12e as shown in drawing 9 (c), they are the data input terminal Din and the data output terminal Dout. It connects electrically.

[0063] That is, 5g of module terminals serves as an electrode common to I/O. In addition, 5h of module terminals serves as NC in that case. Therefore, in each DRAMs 15-18, the I/O method of data turns into an I/O common method.

[0064] Thus, according to the gestalt 3 of this operation, even if the data I/O method of each DRAMs 15-18 of memory module 1c is changed into an I/O common method or an I/O separate method, it can respond to it by the same wiring substrate 2c.

[0065] (Gestalt 4 of operation) Drawing 10 is the circuit block diagram of the memory module shown in drawing 10 which shows the mounting condition of the circuit block diagram showing the circuitry of the

memory module of this invention which is the gestalt of other operations further, drawing 11 , and the drawing 12 flow-means according to a WORD bit pattern.

[0066] Each is 1Mx1 bit pattern, and selection of these DRAMs 15-18 is controlled for each DRAMs 15-18 in memory module 1d of the gestalt 4 of this operation shown in drawing 10 by the RAS signal.

[0067] In the gestalt 4 of this operation, the lands 12h-12m which carry out mutually-independent to the mounting field A electrically are arranged. Land 12h in each mounting field A, it connects with control signal wiring 19b which connects electrically the RAS signal terminal and 5d of module terminals of DRAM15 electrically through wiring 25.

[0068] Moreover, land 12i in each mounting field A is electrically connected to the RAS signal terminal of each DRAMs 16-18. Land 12j in each mounting field A and land 12k are electrically connected to module terminal 5i and module terminal 5j, respectively.

[0069] Furthermore, wiring 26 is minded and land 12l in each mounting field A is the data input terminal Din of DRAM15, and the data output terminal Dout. It connects with the wiring 27 which connects module terminal 5k electrically electrically.

[0070] Moreover, land 12m in each mounting field A is the data input terminal Din of each DRAMs 16-18, and the data output terminal Dout. It connects electrically.

[0071] By the way, when using such memory module 1d as for example, 1Mx4 bit pattern, as it is shown in drawing 11 , it is made to flow through land 12h and land 12i in each mounting field A with the jumper chip 4, and the RAS signal of each DRAMs 15-18 is carried out in common.

[0072] Furthermore, it is made to flow through land 12k and land 12m in each mounting field A with the jumper chip 4, and an I/O signal is outputted with this and inputted from each DRAMs 15-18.

[0073] That is, each DRAMs 15-18 operate simultaneously synchronizing with the RAS signal inputted from 5d of module terminals, and I/O, 0 - I/O, and the 4-bit data of 3 are outputted [from each DRAMs 15-18] on the occasion of access of data and inputted, respectively.

[0074] It is made to flow through land 12i and land 12j in each mounting field A with the jumper chip 4, and enables it to choose each DRAMs 15-18 according to an individual with RAS0 - RAS3 signal, as it is shown in drawing 12 on the other hand, when using memory module 1d as for example, 4Mx1 bit pattern.

[0075] Furthermore, it is made to flow through land 12l and land 12m in each mounting field A with the jumper chip 4, and the I/O signal of each DRAMs 15-18 is outputted with this and inputted only from module terminal 5k.

[0076] That is, on the occasion of access of data, predetermined DRAM is chosen among each DRAMs 15-18, and the 1-bit data of I/O are outputted [from the selected DRAM] with RAS0 - RAS3 signal and inputted.

[0077] Thus, according to the gestalt 4 of this operation, even if a memory module 1d WORD bit pattern is changed like for example, 4Mx1 bit pattern or 1Mx4 bit pattern, it can respond to it by the 2d of the same wiring substrates.

[0078] (Gestalt 5 of operation) Drawing 13 is the circuit block diagram showing the circuitry of the memory module of this invention which is the gestalt of other operations further, and the circuit block diagram of the memory module which showed drawing 14 to drawing 13 which shows the mounting condition of a flow means at the time of defective relief.

[0079] When failure arises in either of DRAMs 15-18 on wiring substrate 2e, the DRAM mounting field B for mounting the alternative component of the broken DRAM is established in wiring substrate 2of memory module 1e of gestalt 5 of this operation shown in drawing 13 e. In addition, the DRAM mounting field B may be established in whichever of the principal plane of wiring substrate 2e, and a rear face.

[0080] In the DRAM mounting field B, land 28for CAS signals a, land 28for RAS signals b, land 28for WE signals c and the land 29 for addressing, the lands 30a and 30b for data I/O, etc. are arranged.

[0081] The above-mentioned land 28b for RAS signals minds wiring 31, and is each mounting field A1 - A4. It connects with land (terminal electrode for the 2nd control) 12p, and 5d of module terminals electrically.

[0082] Moreover, the above-mentioned land 30a for data inputs and land 30b for data output mind wiring 32, and are each mounting field A1 - A4. It connects with land (terminal electrode for the 2nd I/O) 12q electrically.

[0083] By the way, in memory module 1d of the gestalt 5 of this operation, when drawing 14 explains the defective relief technique which is memory module 1d when DRAM18 breaks down, it is as follows.

[0084] Namely, DRAM33 for redundancy which performs normal circuit actuation is mounted in the DRAM mounting field B. Each mounting field A1 - A3 Land (terminal electrode for the 1st control) 12i and land 12p which can be set, And it is made to flow through land (terminal electrode for the exteriors) 12k, and land

(terminal electrode for the 1st I/O) 12m with the jumper chip 4, and is mounting field A4. It is made to flow through land 12k and land 12q which can be set with the jumper chip 4.

[0085] Broken DRAM18 will be in the condition of having become independent of a memory module 1d circuit system electrically, by this, instead DRAM33 for redundancy will be electrically connected to the circuit system which is memory module 1d.

[0086] Thus, broken DRAM18 and broken DRAM33 for redundancy can be easily exchanged on a wiring system by the method of mounting of the jumper chip 4, without removing broken DRAM18 according to the gestalt 5 of this operation.

[0087] For this reason, even if DRAMs 15-18 in memory module 1d are mounted in high density, reliable defective relief can be performed, and the memory module 1d dependability and yield lowering by defective relief can be prevented certainly.

[0088] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0089] for example, the gestalt 1 of said operation -- setting -- as the object of discernment -- access time -- moreover, in the gestalt 2 of said operation, although the mounting method of semiconductor memory was explained, it is not limited to this and can apply also in other discernment of a product.

[0090] Moreover, although a flow means is a jumper chip and the case where a wiring path was selectively switched by the method of mounting of this jumper chip was explained, it is not limited to this, and considers as the integrated circuit chip which the logical circuit consisted of in the flow means, and you may make it switch the flow between predetermined lands, and un-flowing selectively by the switching operation of the logical circuit inside this integrated circuit chip in the gestalten 1-5 of said operation.

[0091] Moreover, in the gestalten 1-5 of said operation, although discernment of access time, discernment of a mounting method, conversion of an I/O method, conversion of a WORD bit pattern, and a redundant configuration were explained, respectively, it is not limited to this, and when signal arrangement (or supply voltage arrangement) of the module terminal on a wiring substrate differs [for example,] a standard type and a little, it can apply.

[0092] Moreover, in the gestalten 1-5 of said operation, although the conversion technique of a wiring path was divided, respectively and was explained, it is not limited to this, and the gestalt 1 of operation and the gestalt 2 of operation can be combined, the gestalt 3 of operation and the gestalt 4 of operation can be combined, or the gestalten 1-5 of operation can also be realized on the same wiring substrate.

[0093]
[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0094] (1) It can exchange for normal memory with the flow means of a surface mounting form, without removing the memory in which it broke down of the memory which constitutes a memory module according to the memory module of . this invention. For this reason, it becomes possible to exchange for normal memory comparatively simply, without doing breakage to a wiring substrate etc. on the occasion of exchange of failure memory. That is, the defective relief technique in a memory module can be raised. Therefore, it becomes possible to suppress the dependability of a memory module, and lowering of the yield.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the principal plane of the wiring substrate which is the gestalt of 1 operation of this invention.

[Drawing 2] (a) - (c) is the important section top view of the wiring substrate in which the mounting condition of a flow means according to access time is shown.

[Drawing 3] (a) - (d) is the top view of each wiring layer which constitutes this wiring substrate.

[Drawing 4] (a) is the top view showing the structure of the jumper chip which is a flow means, and (b) is a sectional view which meets the X-X' line of (a).

[Drawing 5] It is the top view showing the principal plane of the memory module using this wiring substrate.

[Drawing 6] (a) and (b) are the top views showing the principal plane and rear face of the memory module which is the gestalt of other operations of this invention.

[Drawing 7] It is the side elevation of the memory module shown in drawing 6 (a) and (b).

[Drawing 8] It is the circuit block diagram showing the circuitry of the memory module of this invention which is the gestalt of other operations further.

[Drawing 9] (a) - (c) is the important section top view of the wiring substrate shown in drawing 8 which shows the mounting condition of a flow means according to an I/O method.

[Drawing 10] It is the circuit block diagram showing the circuitry of the memory module of this invention which is the gestalt of other operations further.

[Drawing 11] It is the circuit block diagram of the memory module shown in drawing 10 which shows the mounting condition of a flow means according to a WORD bit pattern.

[Drawing 12] It is the circuit block diagram of the memory module shown in drawing 10 which shows the mounting condition of a flow means according to a WORD bit pattern.

[Drawing 13] It is the circuit block diagram showing the circuitry of the memory module of this invention which is the gestalt of other operations further.

[Drawing 14] It is the circuit block diagram of the memory module shown in drawing 13 which shows the mounting condition of the flow means at the time of defective relief.

[Description of Notations]

1a-1e Memory module

2a-2e Wiring substrate

3a, 3b Semiconductor memory

4 Jumper Chip (Flow Means)

5 5a-5k Module terminal

6 Body of Chip

7a, 7b Chip electrode

8 Conductor

9 Inner Layer Pattern

10 Through Hole

11a, 11b Land

12a-12h, 12n Land

12i Land (terminal electrode for the 1st control)

12k Land (terminal electrode for the exteriors)

12m Land (terminal electrode for the 1st I/O)

12p Land (terminal electrode for the 2nd control)

12q Land (terminal electrode for the 2nd I/O)
31 13, 14, 21-27, 32 Wiring
15-18 DRAM
19a-19c Control signal wiring
20 Address Signal Wiring
28a The land for CAS signals
28b The land for RAS signals
28c The land for WE signals
29 Land for Addressing
30a The land for data inputs
30b The land for data output
33 DRAM for Redundancy

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] The memory module characterized by providing or including the following Wiring which carries at least two or more memory on a wiring substrate side, and connects the carried memory comrade electrically It is a terminal electrode on said wiring substrate side so that it may be a memory module equipped with two or more external terminals arranged on said wiring substrate side for the electric connection with an external device and it may be possible to change the memory in which it broke down of said at least two or more memory into the memory for redundancy which operates normally with the flow means of a surface mounting form.

[Claim 2] It has wiring which carries at least two or more memory on a wiring substrate side, and connects the carried memory comrade electrically. It is a memory module equipped with two or more external terminals arranged on said wiring substrate side for the electric connection with an external device. The terminal electrode for the 1st control which was equipped with the memory mounting field for mounting memory for redundancy which operates normally on said wiring substrate side, and was electrically connected to each control terminal of said at least two or more memory on said wiring substrate side, The terminal electrode for the 1st I/O electrically connected to either [at least] the input terminal of said at least two or more memory, or the output terminal, The terminal electrode for the 2nd control arranged in the condition of having connected with the control terminal of the same function as said control terminal electrically in the memory for said redundancy, and having become independent near [each] the terminal electrode for said 1st control, The terminal electrode for the 2nd I/O signal arranged in the condition of having connected with either [at least] the input terminal of the memory for said redundancy, or the output terminal electrically, and having become independent near [each] the terminal electrode for said 1st I/O, Where mutually-independent is carried out, it has the terminal electrode for the exteriors electrically connected to said external terminal. According to the electric connection condition by the terminal electrode for said 1st control, the terminal electrode for the 2nd control, the terminal electrode for the 1st I/O, the terminal electrode for the 2nd I/O, and the flow means of the surface mounting form in the terminal inter-electrode for the exteriors While making the memory in which it broke down of said at least two or more memory become independent of the circuit of a memory module electrically So that the memory for said redundancy can be electrically connected to the circuit of a memory module The memory module characterized by having arranged the terminal electrode for said 1st control, the terminal electrode for the 2nd control, the terminal electrode for the 1st I/O, the terminal electrode for the 2nd I/O, and the terminal electrode for the exteriors.

[Claim 3] The memory module to which the flow means of said surface mounting form is characterized by being the integrated circuit chip which can switch the terminal electrode for said 1st control, the terminal electrode for the 2nd control, the terminal electrode for the 1st I/O, the terminal electrode for the 2nd I/O, and the terminal inter-electrode connection condition for the exteriors by the switching operation of the logical circuit formed in the interior in a memory module according to claim 1 or 2.

 [Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-191076

(43) 公開日 平成9年(1997)7月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/04			H 0 1 L 25/04	Z
25/18			G 1 1 C 5/00	3 0 1 B
G 1 1 C 5/00	3 0 1		29/00	3 0 1 C
29/00	3 0 1	7511-4E	H 0 5 K 1/11	A
// H 0 5 K 1/11				

審査請求 有 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願平9-12574
(62) 分割の表示 特願昭63-328648の分割
(22) 出願日 昭和63年(1988)12月26日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000233527
日立東部セミコンダクタ株式会社
埼玉県入間郡毛呂山町大字旭台15番地
(72) 発明者 菅野 利夫
東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
(72) 発明者 津久井 誠一郎
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内
(74) 代理人 弁理士 筒井 大和

最終頁に続く

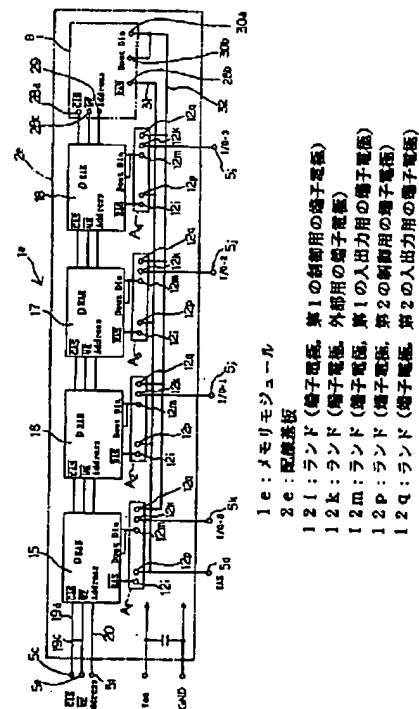
(54) 【発明の名称】 メモリ・モジュール

(57) 【要約】

【課題】 メモリ・モジュールの欠陥救済技術を向上させる。

【解決手段】 メモリ・モジュール1eを構成するメモリ15~18のうちの故障した半導体メモリ18を、ランド12i, 12k, 12m, 12p, 12q上に面実装形の導通手段を適宜配置することによって、DRAM実装領域Bに実装される正常な半導体メモリと交換可能にようにした。

図 13



【特許請求の範囲】

【請求項1】 少なくとも2以上のメモリを配線基板上に搭載し、搭載されたメモリ同士を電氣的に接続する配線を備え、外部装置との電氣的な接続のために前記配線基板上に配置された複数の外部端子を備えるメモリ・モジュールであって、前記少なくとも2以上のメモリのうちの故障したメモリを、面実装形の導通手段によって正常に動作する冗長用のメモリに変更することが可能なように、前記配線基板上に端子電極を設けたことを特徴とするメモリ・モジュール。

【請求項2】 少なくとも2以上のメモリを配線基板上に搭載し、搭載されたメモリ同士を電氣的に接続する配線を備え、外部装置との電氣的な接続のために前記配線基板上に配置された複数の外部端子を備えるメモリ・モジュールであって、前記配線基板上に、正常に動作する冗長用のメモリを実装するためのメモリ実装領域を備え、前記配線基板上に、前記少なくとも2以上のメモリの各々の制御端子に電氣的に接続された第1の制御用の端子電極と、前記少なくとも2以上のメモリの入力端子または出力端子の少なくとも一方に電氣的に接続された第1の入出力用の端子電極と、前記冗長用のメモリにおいて前記制御端子と同一機能の制御端子に電氣的に接続され、前記第1の制御用の端子電極の各々の近傍に独立した状態で配置された第2の制御用の端子電極と、前記冗長用のメモリの入力端子または出力端子の少なくとも一方に電氣的に接続され、前記第1の入出力用の端子電極の各々の近傍に独立した状態で配置された第2の入出力信号用の端子電極と、前記外部端子に電氣的に接続された外部用の端子電極とを互いに独立した状態で備え、前記第1の制御用の端子電極、第2の制御用の端子電極、第1の入出力用の端子電極、第2の入出力用の端子電極および外部用の端子電極間における面実装形の導通手段による電氣的な接続状態によって、前記少なくとも2以上のメモリのうちの故障したメモリをメモリ・モジュールの回路から電氣的に独立させるとともに、前記冗長用のメモリをメモリ・モジュールの回路に電氣的に接続可能なように、前記第1の制御用の端子電極、第2の制御用の端子電極、第1の入出力用の端子電極、第2の入出力用の端子電極および外部用の端子電極を配置したことを特徴とするメモリ・モジュール。

【請求項3】 請求項1または2記載のメモリ・モジュールにおいて、前記面実装形の導通手段が、内部に形成された論理回路のスイッチング動作により、前記第1の制御用の端子電極、第2の制御用の端子電極、第1の入出力用の端子電極、第2の入出力用の端子電極および外部用の端子電極間の接続状態の切り換えが可能な集積回路チップであることを特徴とするメモリ・モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線基板およびこ

れを用いた半導体装置技術に関し、例えばメモリ・モジュールに適用して有効な技術に関するものである。

【0002】

【従来の技術】メモリ・モジュール等のような半導体装置を製造する場合は、それを構成する配線基板を、そのモジュールの用途や目的に応じて個別に作成するのが一般的であった。

【0003】なお、配線基板上に電子部品を実装してなるモジュールについては、例えば、特開昭62-195159号公報に記載があり、この公報には、配線基板に接合されたモジュール端子の接合強度を向上させる技術について説明されている。

【0004】

【発明が解決しようとする課題】ところで、メモリ・モジュールにおいては、配線基板上の所定のメモリが故障した場合、その故障したメモリを取り外し、その取り外した位置に新しいメモリを実装している。

【0005】しかし、このようなメモリ・モジュールの欠陥救済技術においては以下のような問題点があることを本発明者は見出した。

【0006】すなわち、近年は、配線基板上に搭載されるメモリの実装密度が向上し、メモリ間の間隔が非常に狭くなっているため、故障したメモリの取り外しに際して配線及び配線基板に損傷を与える場合が生じる結果、欠陥救済が困難であるとともに、メモリ・モジュールの信頼性および歩留まりの低下を招くという問題がある。

【0007】本発明の目的は、メモリ・モジュールの欠陥救済技術を向上させることのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】本発明のメモリ・モジュールは、少なくとも2以上のメモリを配線基板上に搭載し、搭載されたメモリ同士を電氣的に接続する配線を備え、外部装置との電氣的な接続のために前記配線基板上に配置された複数の外部端子を備えるメモリ・モジュールであって、前記少なくとも2以上のメモリのうちの故障したメモリを、面実装形の導通手段によって正常に動作する冗長用のメモリに交換することが可能なように、前記配線基板上に端子電極を設けたものである。

【0011】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものには同一の符号を付し、その繰り返しの説明は省略する）。

【0012】(実施の形態1)図1は本発明の一実施の形態である配線基板の主面を示す平面図、図2(a)~(c)はアクセスタイムに応じた導通手段の実装状態を示す配線基板の要部平面図、図3(a)~(d)はこの配線基板を構成する各配線層の平面図、図4(a)、(b)は導通手段であるジャンパチップの構造を示す図、図5はこの配線基板を用いたメモリ・モジュールの主面を示す平面図である。

【0013】図5に示す本実施の形態1のメモリ・モジュール1aは、例えば、アクセスタイム100nsの256K×36ビット構成のダイナミックRAM(DRAM)モジュールである。なお、アクセスタイムは、例えば、RAS(Row Address Strobe)信号を基準にした場合である。

【0014】メモリ・モジュール1aを構成する配線基板2aの主面には、電子部品である大小2種類の半導体メモリ3a、3bと、これら半導体メモリ3a、3bの下面側に配置され図示されないが、同じく電子部品であるバイパス・コンデンサと、導通手段であるジャンパチップ4とが実装されている。

【0015】また、配線基板2aの長辺の一方には、例えば、72個のモジュール端子(外部端子)5が配線基板2aの長手方向に沿って配置されている。なお、各モジュール端子5の幅は、例えば、1.04mm程度、隣り合うモジュール端子5、5の間隔は、例えば、1.27mm程度である。

【0016】本実施の形態1においては、上記したモジュール端子5のうち、例えば、左から69、70番目のモジュール端子5a、5bは、アクセスタイムを識別するための機能識別用のモジュール端子として構成されている。

【0017】上記した大形の半導体メモリ3aは、配線基板2aの長手方向に、例えば、8個配列して実装されており、これを構成する、例えば、SOJ(Small OutlineJ-lead)形のパッケージの内部には、256K×4ビット構成のDRAMチップ(図示せず)が収容されている。

【0018】また、小形の半導体メモリ3bは、配線基板2a面の両端側にそれぞれ2個ずつ実装されており、これを構成する、例えば、PLCC(Plastic Leaded Chip Carrier)形のパッケージの内部には、256×1ビット構成のDRAMチップ(図示せず)が収容されている。

【0019】なお、半導体メモリ3a、3aのリード端子間、及び半導体メモリ3a、3bのリード端子間の間隔は、例えば、0.2mm程度である。

【0020】図示しないバイパス・コンデンサは、例えば、0.2μFのセラミック・コンデンサであり、ノイズ等を防止する観点から、半導体メモリ3a、3bの各々の電源電圧(Vcc)端子とGND端子との間に電氣的に

接続されている。

【0021】本実施の形態1に用いられるジャンパチップ4を図4(a)および(b)に示す。図4(b)は図4(a)のX-X'線に沿う断面図である。ジャンパチップ4は、例えばセラミックからなるチップ本体基板6の両端に、導電性金属(例えばパラジウム銀系厚膜)からなる第一次電極7cが印刷形成されている。その上に、導体8a(例えば銀)が印刷形成され、電氣的に接続される。そして、導体の上には保護ガラス8bが形成されている。更に、前記第一次電極7cの上には、第二次電極7b(例えばニッケル、半田等)、外部電極7a(例えば錫-鉛、半田等)がメッキされている。

【0022】上記した配線基板2aは、例えば、ガラスエポキシ樹脂からなり、第3図(a)~(d)に示すように、例えば、4層配線構造となっている。このような多層配線基板2aの形成は、まずガラスエポキシ樹脂からなる板状部材の全面に銅箔を圧着した後、エッチング処理により内層パターン9を形成し、板状部材を積層プレスする。次に、ドリル、あるいはパンチ加工により多層配線層間を導通するスルーホール10を形成した後、スルーホールメッキ、表面のパターン形成することにより得られるものである。

【0023】配線基板2aの主面側(図3(a))と裏面側(図3(d))との配線層には、上記のように主に内層パターン9が形成されている。

【0024】また、配線基板2aの内側2層(図3(b),(c))のうち、1層は、ノイズ等を防止する観点からGND配線専用となっており、他の1層は可能な限りVcc配線に用いられている。

【0025】そして、図1に示すように、配線基板2aの主面には、上記した半導体メモリ3a、3bを実装する複数のランド11aが、各半導体メモリ3a、3bのリード端子に対応するように配置されており、また、上記したバイパス・コンデンサを実装する複数のランド11bが配置されている。なお、ランド11aは、上記した内層パターン9(図3(a),(d))などを介してモジュール端子5と電氣的に接続されている。

【0026】また、本実施の形態1においては、配線基板2aの主面右側、小形の半導体メモリ3bを実装する複数のランド11aの下方に、互いに独立するランド12a、12bと、同じく互いに独立するランド12c、12dとが配置されている。

【0027】ランド12aとランド12cとは、それぞれ配線13、14を介してアクセスタイムを識別するための電極であるモジュール端子5a、5bにそれぞれ電氣的に接続されている。また、ランド12bとランド12dとは、スルーホール10を介してGND電極と電氣的に接続されている。なお、配線基板2aの寸法は、25.4×108mm程度である。

【0028】ところで、従来、アクセスタイムを識別す

るには、例えば、メモリ・モジュールのモジュール端子の所定の2つをアクセスタイム識別用の端子として、それら端子が、NC、GND電位の時は85ns、ともにGND電位の時は100ns、ともにNCの時は120nsというように予め決めておくことにより行っていた。

【0029】したがって、従来は、メモリ・モジュールの回路機能が同一であっても、アクセスタイムが、例えば、85ns～120nsの間で変更される度に、識別用のモジュール端子部分の配線のみを変えるために、異なる別個の配線基板を作成しなければならなかった。

【0030】しかし、本実施の形態1の配線基板2aにおいては、図2(a)に示すように、ランド12cとランド12dとの間に、ジャンパチップ4を半田により実装し、これらランド12c、12d間を導通させることによって、モジュール端子5bをGND電位とすることができる。

【0031】したがって、図2(a)によれば、モジュール端子5a、5bをNC、GND電位にすることができるため、アクセスタイム85nsのメモリ・モジュールに対応させることができる。

【0032】また、配線基板2aは、図2(b)に示すように、ジャンパチップ4、4の実装によって、ランド12a、12b間、及びランド12c、12d間を導通させ、モジュール端子5a、5bをともにGND電位とすることができるため、回路機能としてアクセスタイム100nsのメモリ・モジュール1aに対応させることができる。

【0033】さらに、配線基板2aは、図2(c)に示すように、ジャンパチップ4の実装を行わないことにより、モジュール端子5a、5bともにNCにすることができるため、アクセスタイム120nsのメモリ・モジュールに対応させることができる。

【0034】すなわち、本実施の形態1の配線基板2aは、ジャンパチップを選択的に着脱することによって、同一の配線基板2aで上記した3種類のアクセスタイムの変更に対応することができる。

【0035】このように本実施の形態によれば、メモリ・モジュール1aのアクセスタイムが、種々変更された場合であってもジャンパチップ4の選択的な着脱によって、これに対応することができるため、配線基板2aを標準化することができる。

【0036】このため、メモリ・モジュール1aの製造時間を大幅に短縮することができる上、その設計コスト、及び製造コスト等を低減させ、メモリ・モジュール1aを安価に提供することができる。

【0037】(実施の形態2)図6(a)、(b)は本発明の他の実施の形態であるメモリ・モジュールの正面と裏面とを示す平面図、図7は図6(a)、(b)に示したメモリ・モジュールの側面図である。

【0038】図6(a)、(b)、及び図7に示す本実施の形態2のメモリ・モジュール1bは、例えば、512K×36ビット構成のDRAMモジュールである。

【0039】メモリ・モジュール1bを構成する配線基板2bの正面(図6(a))、及び裏面(図6(b))には、半導体メモリ3a、3bが実施の形態1と同様に実装されている。

【0040】なお、このメモリ・モジュール1bにおいては、データのアクセスに際して、一面側の半導体メモリ3a、3bが動作している間、他面側の半導体メモリ3a、3bは動作しないようになっている。

【0041】したがって、実施の形態1で説明したバイパス・コンデンサは、配線基板2bの正面側と裏面側との半導体メモリ3a、3a、または半導体メモリ3b、3bの間で共有されるようになっている。

【0042】ところで、本実施の形態2においては、モジュール端子5のうち、例えば、左から69、70番目のモジュール端子5a、5bを、例えば、半導体メモリ3a、3bの実装方式を識別するための端子とする。

【0043】従来、実装方式を識別するには、実施の形態1で説明したアクセスタイムと同様に、例えば、モジュール端子の所定の2端子を実装方式の識別用端子にして、それら端子が、NC、GND電位の時は片面実装、ともにGND電位の時は両面実装というように予め決めておくことにより行っていた。

【0044】したがって、従来は、実装方式が変更される度に、識別用のモジュール端子部分の配線を変えるだけのために初めから配線基板を作成しなければならなかった。

【0045】しかし、本実施の形態2の配線基板2bにおいては、実施の形態1の第2図(a)～(c)で示したように、配線基板2bを作成した後からでも、ジャンパチップ4の実装の仕方によって、モジュール端子5a、5bをNC、GND電位にしたり、ともにGND電位にしたりすることができるため、同一の配線基板2bで上記した識別される実装方式の変更に対応することができる。

【0046】このように本実施の形態2によれば、半導体メモリ3a、3bの実装方式が、片面実装または両面実装というように変更されても、同一の配線基板2bでそれに対応することができる。

【0047】(実施の形態3)図8は本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図、図9(a)～(c)は入出力方式に応じた導通手段の実装状態を示す図8に示した配線基板の要部平面図である。

【0048】本実施の形態3においては説明を簡単にするため、図8に示すように、例えば、主要素子として4つのDRAM15～DRAM18によりメモリ・モジュール1cを説明する。

【0049】各DRAM15～18のCAS (Column Address Strobe)信号端子は、制御信号配線19aを介して配線基板2cに形成されたモジュール端子5cと電気的に接続されており、外部からCAS信号が与えられるようになっている。

【0050】また、各DRAM15～18のRAS (Row Address Strobe) 信号端子は、制御信号配線19bを介してモジュール端子5dと電気的に接続され、外部からRAS信号が与えられるようになっている。

【0051】さらに、各DRAM15～18のWE (Write enable)端子は、制御信号配線19cを介してモジュール端子5eと電気的に接続され、外部からデータの書き込み、あるいは読み出しの制御が行われるようになっている。

【0052】そして、これらRAS、及びCAS信号と、WE信号とによってDRAM15～18のデータのアクセスが制御されている。

【0053】また、各DRAM15～18のアドレス端子は、アドレス信号配線20を介してモジュール端子5fと電気的に接続され、外部からメモリのアドレスが指定されるようになっている。なお、アドレス指定に際しては、例えば、マルチプレクス方式により、行と列のアドレスが所定数の同一のモジュール端子5fから入力されるようになっている。

【0054】本実施の形態3におけるメモリ・モジュール1cの各DRAM15～18は、データ入力端子Dinとデータ出力端子Dout とを備えている。

【0055】データ入力端子Dinは、データ線21を介してモジュール端子5gと電気的に接続され、かつ、配線22を介して実施の形態1、2で説明したジャンパチップ4を実装する実装領域A (第9図参照)のランド12eと電気的に接続されている。

【0056】また、データ出力端子Dout は、配線23を介してランド12eと電気的に独立して形成されたランド12fと電気的に接続されている。

【0057】そして、これらランド12e、12fと電気的に独立して実装領域Aに形成されたランド12gは、配線24を介してモジュール端子5hと電気的に接続されている。

【0058】次に、本実施の形態3の作用を図8、及び図9(a)～(c)により説明する。

【0059】図9は、実装領域Aにおけるランド12e～12gに実施の形態1、2で説明したジャンパチップ4が実装されていない状態を示しており、データ出力端子Dout は開放状態、モジュール端子5hはNCの状態である。

【0060】ここで、図9(b)に示すように、ランド12f、12gにジャンパチップ4を実装することによって、これらランド12f、12g間を導通させると、データ出力端子Dout とモジュール端子5hとが電氣的

に接続される。

【0061】すなわち、モジュール端子5hはデータ出力用の端子となり、また、モジュール端子5gはデータ入力用の端子となる。したがって、各DRAM15～18において、データの入出力(I/O)方式は、I/Oセパレート方式となる。

【0062】一方、図9(c)に示すように、ランド12f、12eにジャンパチップ4を実装することによって、これらランド12f、12e間を導通させると、データ入力端子Dinとデータ出力端子Dout とが電気的に接続される。

【0063】すなわち、モジュール端子5gは、I/O共通の電極となる。なお、その際、モジュール端子5hはNCとなる。したがって、各DRAM15～18において、データのI/O方式は、I/Oコモン方式となる。

【0064】このように本実施の形態3によれば、メモリ・モジュール1cの各DRAM15～18のデータI/O方式が、I/Oコモン方式やI/Oセパレート方式に変更されても、同一の配線基板2cでそれに対応することができる。

【0065】(実施の形態4)図10は本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図、図11、及び図12はワード・ビット構成に応じた導通手段の実装状態を示す図10に示したメモリ・モジュールの回路ブロック図である。

【0066】図10に示す本実施の形態4のメモリ・モジュール1dにおける各DRAM15～18は、例えば、各々が1M×1ビット構成であり、これらDRAM15～18の選択は、RAS信号により制御されるようになっている。

【0067】本実施の形態4においては、実装領域Aに電気的に互いに独立するランド12h～12mが配置されている。各実装領域Aにおけるランド12hは、配線25を介して、DRAM15のRAS信号端子とモジュール端子5dとを電気的に接続する制御信号配線19bに電気的に接続されている。

【0068】また、各実装領域Aにおけるランド12iは、各DRAM16～18のRAS信号端子に電気的に接続されている。各実装領域Aにおけるランド12j、ランド12kは、それぞれモジュール端子5i、モジュール端子5jに電気的に接続されている。

【0069】さらに、各実装領域Aにおけるランド12lは、配線26を介して、DRAM15のデータ入力端子Din、及びデータ出力端子Dout とモジュール端子5kとを電気的に接続する配線27と電気的に接続されている。

【0070】また、各実装領域Aにおけるランド12mは、各DRAM16～18のデータ入力端子Din、及びデータ出力端子Dout と電気的に接続されている。

【0071】ところで、このようなメモリ・モジュール1dを、例えば、1M×4ビット構成として用いる場合、図11に示すように、各実装領域Aにおけるランド12hとランド12iとをジャンパチップ4により導通させ、各DRAM15～18のRAS信号を共通にする。

【0072】さらに、これとともに、各実装領域Aにおけるランド12kとランド12mとをジャンパチップ4により導通させ、I/O信号が各DRAM15～18から入出力されるようにする。

【0073】すなわち、データのアクセスに際して各DRAM15～18は、モジュール端子5dから入力されたRAS信号に同期して同時に動作し、各DRAM15～18からそれぞれI/O・0～I/O・3の4ビットのデータが入出力される。

【0074】一方、メモリ・モジュール1dを、例えば、4M×1ビット構成として用いる場合、図12に示すように、各実装領域Aにおけるランド12iとランド12jとをジャンパチップ4により導通させ、各DRAM15～18をRAS0～RAS3信号により個別に選

択できるようにする。

【0075】さらに、これとともに、各実装領域Aにおけるランド12lとランド12mとをジャンパチップ4により導通させ、各DRAM15～18のI/O信号がモジュール端子5kのみから入出力されるようにする。

【0076】すなわち、データのアクセスに際して、RAS0～RAS3信号により、各DRAM15～18のうち所定のDRAMが選択され、その選択されたDRAMからI/Oの1ビットのデータが入出力される。

【0077】このように本実施の形態4によれば、メモリ・モジュール1dのワード・ビット構成が、例えば、4M×1ビット構成、あるいは1M×4ビット構成というように変更されても、同一の配線基板2dでそれに対応することができる。

【0078】(実施の形態5)図13は本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図、図14は欠陥救済時における導通手段の実装状態を示す図13に示したメモリ・モジュールの回路ブロック図である。

【0079】図13に示す本実施の形態5のメモリ・モジュール1eの配線基板2eには、配線基板2e上のDRAM15～18のいずれかに故障が生じた場合、その故障したDRAMの代替素子を実装するためのDRAM実装領域Bが設けられている。なお、DRAM実装領域Bは、配線基板2eの主面、裏面のどちらに設けられていても良い。

【0080】DRAM実装領域Bには、CAS信号用ランド28a、RAS信号用ランド28b、WE信号用ランド28c、及びアドレス指定用ランド29、データ入出力用ランド30a、30bなどが配置されている。

【0081】上記したRAS信号用のランド28bは、配線31を介して各実装領域A1～A4のランド(第2の制御用の端子電極)12p、及びモジュール端子5dと電気的に接続されている。

【0082】また、上記したデータ入力用のランド30a、及びデータ出力用のランド30bは、配線32を介して各実装領域A1～A4のランド(第2の入出力用の端子電極)12qと電気的に接続されている。

【0083】ところで、本実施の形態5のメモリ・モジュール1dにおいて、例えば、DRAM18が故障した場合のメモリ・モジュール1dの欠陥救済技術を第14図により説明すると以下のとおりである。

【0084】すなわち、DRAM実装領域Bに正常な回路動作を行う冗長用DRAM33を実装し、各実装領域A1～A3におけるランド(第1の制御用の端子電極)12iとランド12p、及びランド(外部用の端子電極)12kとランド(第1の入出力用の端子電極)12mとをジャンパチップ4により導通させ、かつ、実装領域A4におけるランド12kとランド12qとをジャンパチップ4により導通させる。

【0085】これにより、故障したDRAM18は、メモリ・モジュール1dの回路系から電気的に独立した状態となり、その代わり冗長用DRAM33がメモリ・モジュール1dの回路系に電気的に接続される。

【0086】このように本実施の形態5によれば、故障したDRAM18を取り外すことなく、ジャンパチップ4の実装の仕方によって、故障したDRAM18と冗長用DRAM33とを配線系統上で容易に交換できる。

【0087】このため、メモリ・モジュール1dにおけるDRAM15～18が高密度に実装されていても信頼性の高い欠陥救済を行うことができ、欠陥救済によるメモリ・モジュール1dの信頼性および歩留り低下を確実に防止することができる。

【0088】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0089】例えば、前記実施の形態1においては、識別の対象としてアクセスタイムを、また、前記実施の形態2においては、半導体メモリの実装方式を説明したが、これに限定されるものではなく、製品の他の識別においても適用できる。

【0090】また、前記実施の形態1～5においては、導通手段がジャンパチップであり、このジャンパチップの実装の仕方によって、配線経路を選択的に切り換える場合について説明したが、これに限定されるものではなく、例えば、導通手段を論理回路が構成された集積回路チップとし、この集積回路チップ内部の論理回路のスイッチング動作により、所定ランド間の導通、非導通を選択的に切り換えるようにしても良い。

11

【0091】また、前記実施の形態1～5においては、それぞれアクセスタイムの識別、実装方式の識別、I/O方式の変換、ワード・ビット構成の変換、冗長構成について説明したが、これに限定されるものではなく、例えば、配線基板上のモジュール端子の信号配置（あるいは電源電圧配置）が標準タイプと若干異なる場合においても適用することができる。

【0092】また、前記実施の形態1～5においては、配線経路の変換技術をそれぞれ分けて説明したが、これに限定されるものではなく、例えば、実施の形態1と実施の形態2とを組み合わせたり、実施の形態3と実施の形態4とを組み合わせたり、あるいは実施の形態1～5を同一の配線基板上で実現したりすることもできる。

【0093】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0094】(1) 本発明のメモリ・モジュールによれば、メモリ・モジュールを構成するメモリのうちの故障したメモリを取り外すことなく、面実装形の導通手段によって正常なメモリに交換することができる。このため、故障メモリの交換に際して配線基板等に損傷を与えることなく、比較的簡単に正常なメモリと交換することが可能となる。すなわち、メモリ・モジュールにおける欠陥救済技術を向上させることができる。したがって、メモリ・モジュールの信頼性および歩留りの低下を抑えることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である配線基板の主面を示す平面図である。

【図2】(a)～(c)はアクセスタイムに応じた導通手段の実装状態を示す配線基板の要部平面図である。

【図3】(a)～(d)はこの配線基板を構成する各配線層の平面図である。

【図4】(a)は導通手段であるジャンパチップの構造を示す平面図であり、(b)は(a)のX-X'線に沿う断面図である。

【図5】この配線基板を用いたメモリ・モジュールの主面を示す平面図である。

【図6】(a)、(b)は本発明の他の実施の形態であるメモリ・モジュールの主面と裏面とを示す平面図である。

【図7】図6(a)、(b)に示したメモリ・モジュールの側面図である。

【図8】本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図である。

12

【図9】(a)～(c)は入出力方式に応じた導通手段の実装状態を示す図8に示した配線基板の要部平面図である。

【図10】本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図である。

【図11】ワード・ビット構成に応じた導通手段の実装状態を示す図10に示したメモリ・モジュールの回路ブロック図である。

【図12】ワード・ビット構成に応じた導通手段の実装状態を示す図10に示したメモリ・モジュールの回路ブロック図である。

【図13】本発明のさらに他の実施の形態であるメモリ・モジュールの回路構成を示す回路ブロック図である。

【図14】欠陥救済時における導通手段の実装状態を示す図13に示したメモリ・モジュールの回路ブロック図である。

【符号の説明】

1a～1e メモリ・モジュール

2a～2e 配線基板

3a, 3b 半導体メモリ

4 ジャンパチップ（導通手段）

5, 5a～5k モジュール端子

6 チップ本体

7a, 7b チップ電極

8 導体

9 内層パターン

10 スルーホール

11a, 11b ランド

12a～12h, 12n ランド

30 12i ランド（第1の制御用の端子電極）

12k ランド（外部用の端子電極）

12m ランド（第1の入出力用の端子電極）

12p ランド（第2の制御用の端子電極）

12q ランド（第2の入出力用の端子電極）

13, 14, 21～27, 31, 32 配線

15～18 DRAM

19a～19c 制御信号配線

20 アドレス信号配線

28a CAS信号用ランド

28b RAS信号用ランド

28c WE信号用ランド

29 アドレス指定用ランド

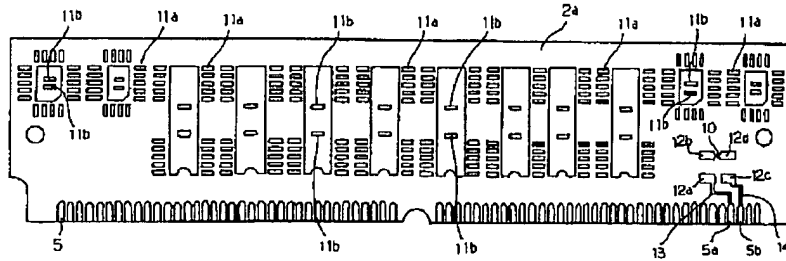
30a データ入力用ランド

30b データ出力用ランド

33 冗長用DRAM

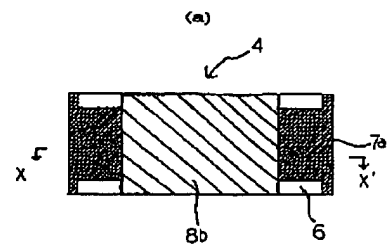
【図1】

図 1



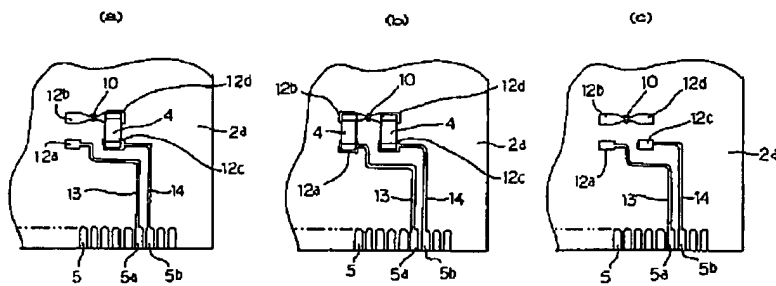
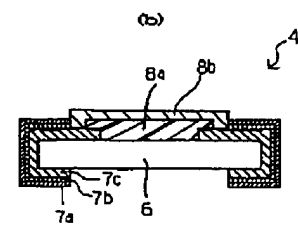
【図4】

図 4



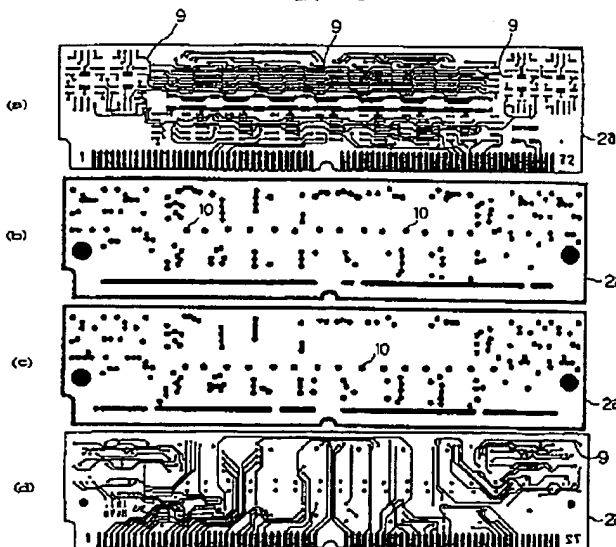
【図2】

図 2



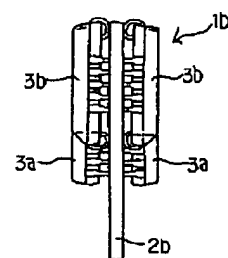
【図3】

図 3



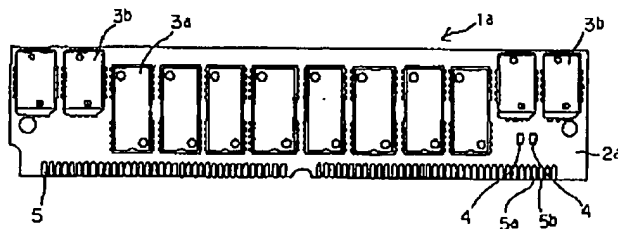
【図7】

図 7



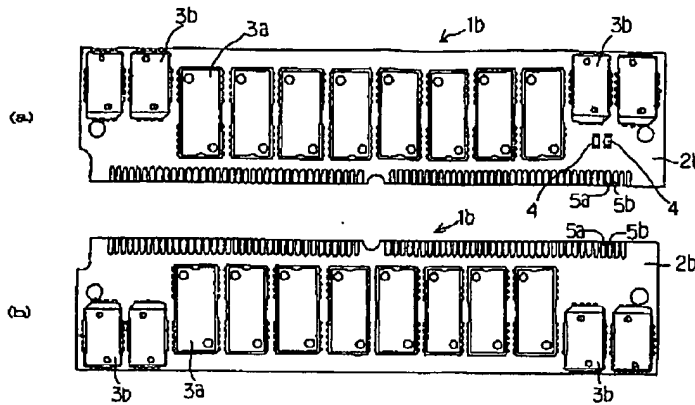
【図5】

図 5



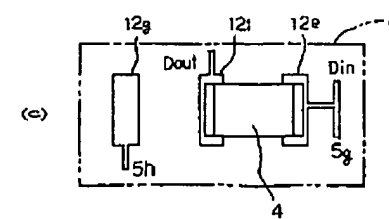
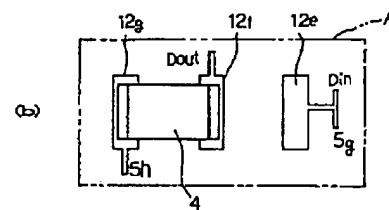
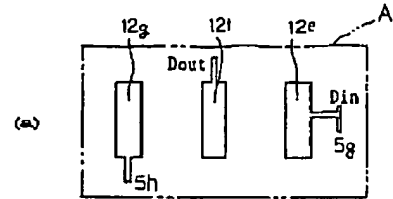
【図6】

図 6



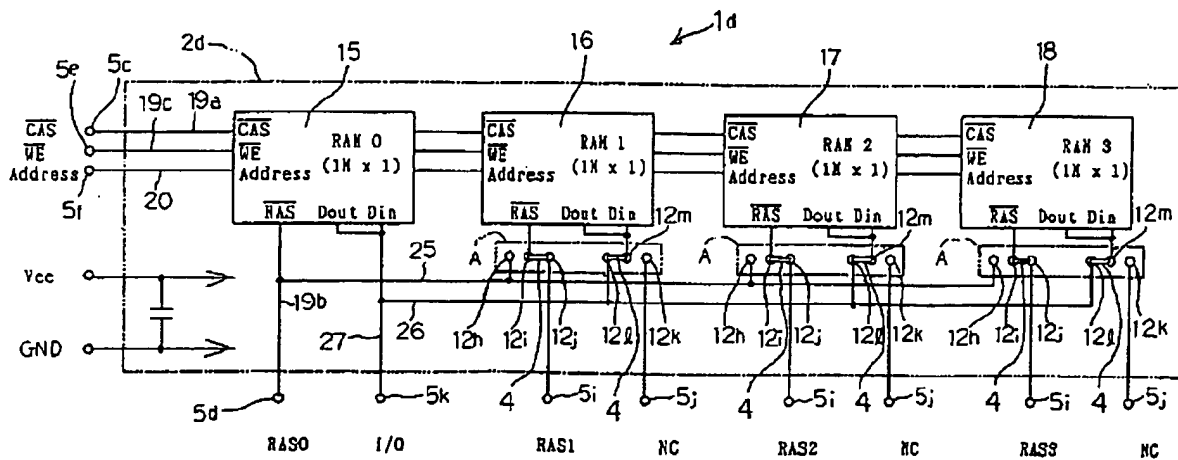
【図9】

図 9

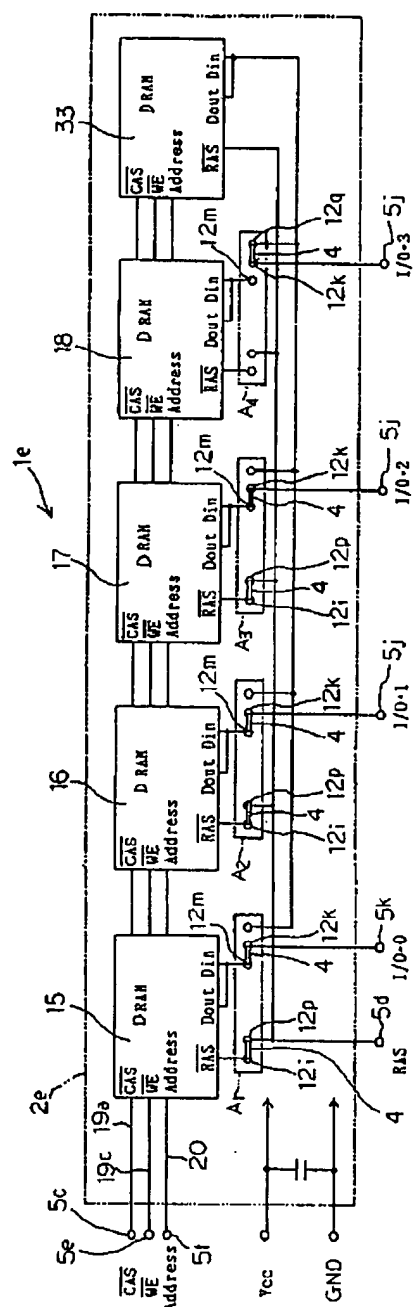


【図12】

図 12

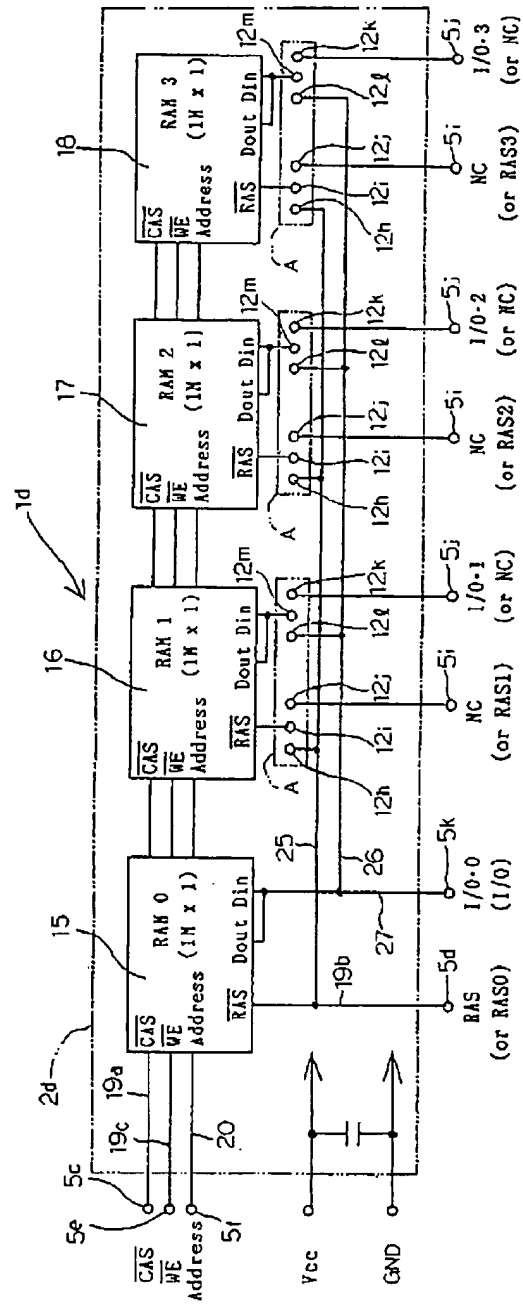


【图14】



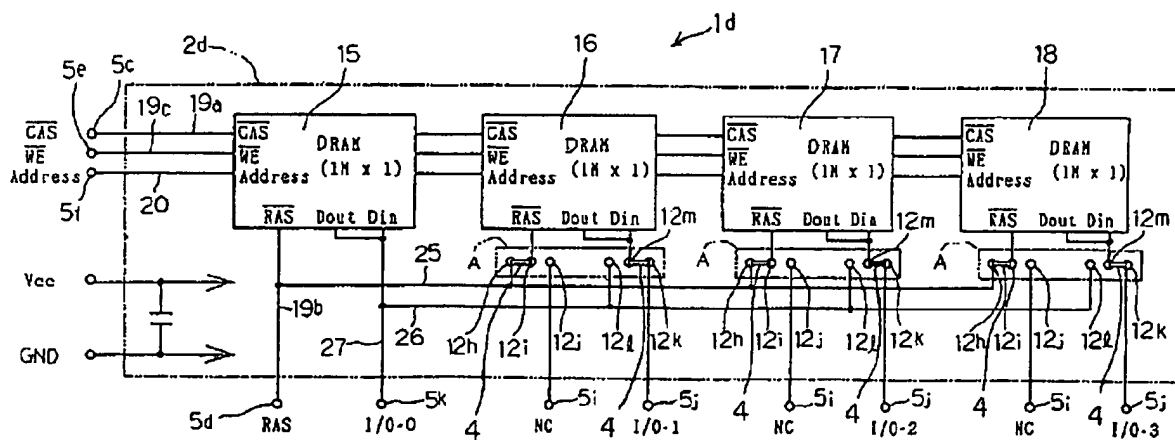
14

10



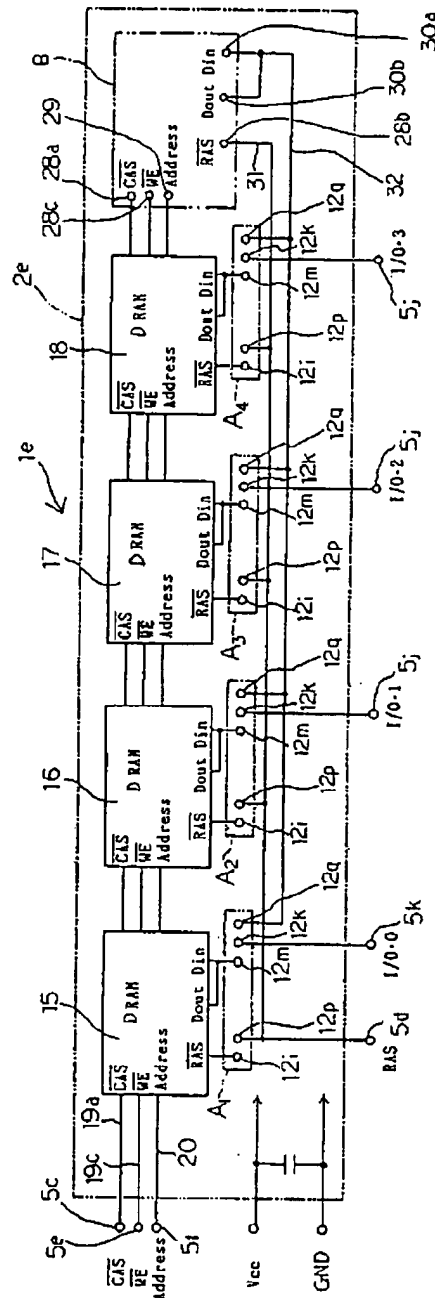
【図11】

図 11



【図13】

図 13



1 e : メモリモジュール

2 e : 配線基板

- 1 2 i : ランド (端子電極, 第1の制御用の端子電極)
- 1 2 k : ランド (端子電極, 外部用の端子電極)
- 1 2 m : ランド (端子電極, 第1の入出力用の端子電極)
- 1 2 p : ランド (端子電極, 第2の制御用の端子電極)
- 1 2 q : ランド (端子電極, 第2の入出力用の端子電極)

フロントページの続き

(72)発明者 酒井 修

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内